

Patent Abstracts of Japan

PUBLICATION NUMBER : 10302277
PUBLICATION DATE : 13-11-98

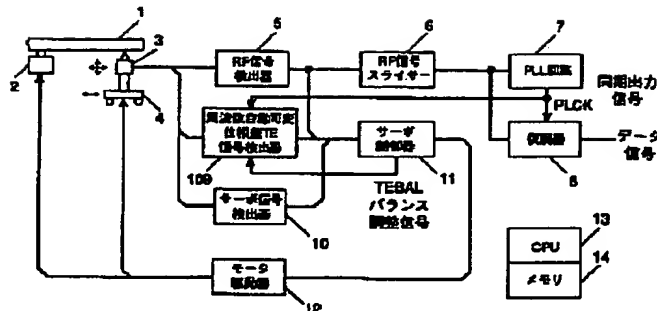
APPLICATION DATE : 22-04-97
APPLICATION NUMBER : 09104480

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : KUSANO TAIZO;

INT.CL. : G11B 7/09 G11B 7/085 G11B 20/10
G11B 20/14

TITLE : OPTICAL DISC DEVICE AND
TRACKING ERROR SIGNAL
GENERATING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide an optical disc device which can extract accurate phase information and reproduce a highly reliable TE(tracking error) signal.

SOLUTION: An optical disc device has a PLL circuit 7 which generates a data reading clock signal, an automatically variable frequency waveform equalizer, a comparator, an external control delay device which adjusts a phase difference balance, a phase comparator which detects the phase difference and a charge pump for charging/discharging. The automatically variable frequency waveform equalizer can change frequency characteristics in accordance with an external input. Further, a means which varies the frequency characteristics so as to be proportional to a clock frequency synchronously with the clock signal is provided. At the time of variable speed reproduction, parameters related to the waveform equalizer can be varied in accordance with the change of the reproduction frequency while an optimum state is maintained.

COPYRIGHT: (C)1998,JPO

This Page Blank (uspto)

【特許請求の範囲】

【請求項1】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせてデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせて位相差トラックエラー信号を生成する光ディスク装置であって、

前記受光素子の出力の和及び差を組み合わせて受光電流を検出電圧に変換するI/V変換手段と、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、前記波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、前記電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、前記外部制御遅延手段の出力の位相差を検出する位相比較手段と、前記位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、

前記波形等化手段は、前記クロック信号に同期して前記クロック信号の周波数と比例関係を有する外部信号により前記周波数特性を比例関係となるように可変することを特徴とする光ディスク装置。

【請求項2】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせてデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせて位相差トラックエラー信号を生成するトラックエラー信号生成方法であって、

前記受光素子の出力の和及び差を組み合わせて受光電流を検出電圧に変換するI/V変換ステップと、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化ステップと、前記波形等化ステップで得られた出力を所定の電圧値と比較して2値化する電圧比較ステップと、前記電圧比較ステップの出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延ステップと、前記外部制御遅延ステップの出力の位相差を検出する位相比較ステップと、前記位相比較ステップの出力に基づいて蓄電手段の充放電を行なう充放電ステップとを有し、

前記波形等化ステップは、前記クロック信号に同期して前記クロック信号の周波数と比例関係を有する外部信号により前記周波数特性を比例関係となるように可変することを特徴とするトラックエラー信号生成方法。

【請求項3】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせてデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせて位相差トラックエラー信号を生成する光ディスク装

置であって、

前記受光素子の出力の和及び差を組み合わせて受光電流を検出電圧に変換するI/V変換手段と、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、前記波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、前記電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、前記外部制御遅延手段の出力の位相差を検出する位相比較手段と、前記位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、

前記外部制御遅延手段は、前記クロック信号に同期して前記クロック信号の周波数と反比例関係を有する外部信号により前記遅延量を反比例関係となるように可変することを特徴とする光ディスク装置。

【請求項4】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせてデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせて位相差トラックエラー信号を生成するトラックエラー信号生成方法であって、

前記受光素子の出力の和及び差を組み合わせて受光電流を検出電圧に変換するI/V変換ステップと、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化ステップと、前記波形等化ステップで得られた出力を所定の電圧値と比較して2値化する電圧比較ステップと、前記電圧比較ステップの出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延ステップと、前記外部制御遅延ステップの出力の位相差を検出する位相比較ステップと、前記位相比較ステップの出力に基づいて蓄電手段の充放電を行なう充放電ステップとを有し、

前記外部制御遅延ステップは、前記クロック信号に同期して前記クロック信号の周波数と反比例関係を有する外部信号により前記遅延量を反比例関係となるように可変することを特徴とするトラックエラー信号生成方法。

【請求項5】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせてデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせて位相差トラックエラー信号を生成する光ディスク装置であって、

前記受光素子の出力の和及び差を組み合わせて受光電流を検出電圧に変換するI/V変換手段と、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、前記波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、前記電圧比較手段の出力の位相差バランスを外部信

号により遅延量を調整する外部制御遅延手段と、前記外部制御遅延手段の出力の位相差を検出する位相比較手段と、前記位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、

前記位相比較手段は、前記出力の位相差の限度値を前記遅延量によって設定する限度機能付き位相比較手段であることを特徴とする光ディスク装置。

【請求項6】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせるデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせる位相差トラックエラー信号を生成するトラックエラー信号生成方法であって、

前記受光素子の出力の和及び差を組み合わせる受光電流を検出電圧に変換するI/V変換ステップと、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化ステップと、

前記波形等化ステップで得られた出力を所定の電圧値と比較して2値化する電圧比較ステップと、前記電圧比較ステップの出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延ステップと、前記外部制御遅延ステップの出力の位相差を検出する位相比較ステップと、前記位相比較ステップの出力に基づいて蓄電手段の充放電を行なう充放電ステップとを有し、

前記位相比較ステップは、前記出力の位相差の限度値を前記遅延量によって設定する限度機能付き位相比較ステップであることを特徴とするトラックエラー信号生成方法。

【請求項7】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせるデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせる位相差トラックエラー信号を生成する光ディスク装置であって、

前記受光素子の出力の和及び差を組み合わせる受光電流を検出電圧に変換するI/V変換手段と、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、前記波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、前記電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、前記外部制御遅延手段の出力の位相差を検出する位相比較手段と、前記位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、

前記位相比較手段は、前記出力の位相差の限度値を前記遅延量によって設定する限度機能付き位相比較手段であって、前記クロック信号に同期して前記クロック信号の周波数と反比例関係を有する外部信号により前記遅延量

を反比例関係となるように可変することを特徴とする光ディスク装置。

【請求項8】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせるデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせる位相差トラックエラー信号を生成するトラックエラー信号生成方法であって、

前記受光素子の出力の和及び差を組み合わせる受光電流を検出電圧に変換するI/V変換ステップと、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化ステップと、

前記波形等化ステップで得られた出力を所定の電圧値と比較して2値化する電圧比較ステップと、前記電圧比較ステップの出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延ステップと、前記外部制御遅延ステップの出力の位相差を検出する位相比較ステップと、前記位相比較ステップの出力に基づいて蓄電手段の充放電を行なう充放電ステップとを有し、

前記位相比較ステップは、前記出力の位相差の限度値を前記遅延量によって設定する限度機能付き位相比較ステップであって、前記クロック信号に同期して前記クロック信号の周波数と反比例関係を有する外部信号により前記遅延量を反比例関係となるように可変することを特徴とするトラックエラー信号生成方法。

【請求項9】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせるデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせる位相差トラックエラー信号を生成して光ディスク回転手段と前記データ信号との同期をとる光ディスク装置であって、

前記受光素子の出力の和及び差を組み合わせる受光電流を検出電圧に変換するI/V変換手段と、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、前記波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、前記電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、前記外部制御遅延手段の出力の位相差を検出する位相比較手段と、前記位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段と、装置全体を司り前記各手段の動作を制御する制御手段とを有し、

前記制御手段は、前記PLL回路によるサーボ制御の同期がとれていない制御状態から前記PLL回路により前記データ信号に同期して前記クロック信号を生成するまでの制御状態の期間において、前記外部制御遅延手段と前記位相比較手段とは外部信号によらず予め定めた所定

の設定値に基づいて回転駆動をする加速制御を有することを特徴とする光ディスク装置。

【請求項10】光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、前記受光素子の出力の和及び差を組み合わせてデータ信号を生成し、PLL回路により前記データ信号に同期してクロック信号を生成すると共に、前記受光素子の出力の和及び差を組み合わせて位相差トラックエラー信号を生成して光ディスク回転手段と前記データ信号との同期をとる光ディスク駆動方法であって、

前記PLL回路によるサーボ制御の同期がとれていない制御過程から前記PLL回路により前記データ信号に同期して前記クロック信号を生成するまでの制御過程において、前記受光素子の出力の和及び差を組み合わせ受光電流を検出電圧に変換するIV変換ステップと、前記検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化ステップと、前記波形等化ステップで得られた出力を所定の電圧値と比較して2値化する電圧比較ステップと、前記電圧比較ステップの出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延ステップと、前記外部制御遅延ステップの出力の位相差を検出する位相比較ステップと、前記位相比較ステップの出力に基づいて蓄電手段の充放電を行なう充放電ステップとを有し、

前記外部制御遅延ステップと前記位相比較ステップとは外部信号によらず予め定めた所定の設定値に基づいて回転駆動をする加速制御ステップを有することを特徴とする光ディスク駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光によるデータの記録再生を行う光ディスク装置において、特に再生時のデータ転送レートを可変とし、トラックサーボのためのトラックエラー信号生成を位相差法により行う光ディスク装置に関するものである。

【0002】

【従来の技術】近年、光ディスク装置はマルチメディアの基幹商品として重要な役割を果たしており、特にCD-ROMドライブ装置はパソコン用増設記憶装置として不可欠なものとなっている。さらに、次世代の光ディスク装置として、CD-ROMに対し記憶容量を大幅に向上させたDVDドライブ装置が開発されている。ちなみに、DVDはCD-ROMに比較してマーク長、トラックピッチが共に約1/2（面積比1/4）に小型化されており、それに伴ってデータを読み出すレーザスポットも、レーザ光の短波長化により面積比で約60%までの小型化が実現されている。

【0003】これらのディスクには、符号化されたデータがディスクの反射面にビット列として、内周側から外周側の方向へ渦状に連続的に記録されている。このよう

に記録されているデータ列をトラックと呼び、再生時にはこのトラックを光ピックアップがトレース（トラッキング）することによりデータの読み取りが行われる。

【0004】このトラッキングの制御を行うためのTE（トラックエラー）信号は、次のようにして生成される。3ビームトラッキングは光路中にグレイティングを設けてサブビームを作り、3本のビームを生成する。1ビームトラッキングはメインビームのみでトラッキング制御を行う。ビームの検出及び制御に関し、ビームの検出回路の構成により、位相差法、ヘテロダイン法、プッシュプル法などに分類される。

【0005】CD-ROMでは3ビームトラッキングが一般的である。他方、DVDでは、記録容量を高めるためにディスクのビット面積を縮小したので、ディスクのビット面積縮小比に対してスポット面積縮小比が追いつかないことから、サブビームによる検出方法が適用困難となり、位相差法による検出が一般的に行われる。

【0006】以下図に基づいて、従来の位相差法によるトラッキング制御を説明する。図19は従来の光ディスク装置の構成図、図20は図19の位相差TE信号検出器9の基本構成図を示す。図19において、1は情報信号が線速度一定で記録されている光ディスク、2はスピンドルモータであって、光ディスク1を搭載し回転する。3はピックアップであって、光ディスク1の記録面にレーザ光を集光させるための対物レンズと、対物レンズを光ディスク1の面に垂直な方向（以下フォーカス方向と称す）や光ディスク1の半径方向（以下トラッキング方向と称す）に動かすためのアクチュエータ（モータ）、および半導体レーザをはじめとする各種プリズム、信号検出用ディテクタ等の光学素子が一体に構成されている。4はスレッドモータであって、ピックアップ3で対応できない移動範囲のトラッキング、およびピックアップ3をトラック間に大きく移動させる際（アクセス動作）に使用する。

【0007】5はRF信号検出器であって、ピックアップ3の出力からアナログRF信号を生成する。6は前述のアナログRF信号からデジタルRF信号（データ信号）を生成するRF信号スライサー、7は前述のデジタルRF信号に同期をかけるためのPLL（Phase Locked Loop）回路、8はPLL回路7の出力信号PLCKを使って前述のデジタルRF信号のデータを復調する復調器である。

【0008】9は位相差TE信号検出器であって、ピックアップ3の出力から位相差TE信号を生成する。10はサーボ信号検出器であって、その他のサーボ関連信号であるFE（フォーカスエラー）信号、RFリップル信号（トラックジャンプ時のカウント用信号）等のサーボ信号を検出する。11はサーボ制御器であって、検出された前述のその他サーボ信号に基づいてサーボ制御を行なう。また、サーボ制御器11は検出されたサーボ信号

に基づいてフォーカス、トラックサーボ系のオフセット調整、バランス調整、ゲイン調整等を行なう機能も有する。12はサーボ制御器11の出力に基づいて各モータを駆動するモータ駆動器である。

【0009】次に、図20において、21は光ディスク1からの反射光を受光する4分割の信号検出用ディテクタ、22は信号検出用ディテクタ21の出力電流信号を2系統の電圧信号に変換するIV（電流対電圧）変換器、23はIV変換器22の出力の特定周波数帯域を強調して増幅する波形等化器、24は波形等化器24の出力をあるスライスレベルでスライスしデジタル化するコンパレータ、25はコンパレータ24の2系統の出力間の位相差バランスを調整するための外部制御遅延器、26は外部制御遅延器25の2系統の出力の位相差を検出する位相比較器、27は位相比較器26の出力によりチャージもしくはディスチャージを行なうチャージポンプである。

【0010】ここで、位相差法のご概念とともに従来の位相差TE信号検出器9についてその動作原理を補足図も加えて説明する。位相差法とはビットとスポットの位置関係により、受光信号に生じる位相差からトラックエラー信号を検出するものである。

【0011】図21はビットとスポットとレンズ面の受光強度分布を表す図である。図21は光ディスク1上のスポットがビットにそって進んでいる様子を表す。図21(a)はスポットが右側にあるとき、図21(b)はスポットが中央にあるとき、図21(c)はスポットが左側にあるときのそれぞれの状態における反射光のレンズ面での受光強度分布を示したものである。この反射光を入射光線として光線追跡を行なうことにより、受光素子（信号検出用ディテクタ21）上での強度分布を求めることができる。この受光素子からの対角和信号A1+A2、A3+A4（もしくはトラック写像方向に対して隣り合う信号A1、A3あるいはA2、A4）をIV変換器22により2系統の電圧信号として取り出す。電圧信号はそれぞれ波形等化器23で波形整形した後、コンパレータ24によりデジタル信号に変換する。

【0012】そして、サーボ制御機11からのトラックエラーバランス調整信号TEBALを受けて、外部制御遅延器25により2系統のデジタル信号間の位相差バランスを調整した後、位相比較器26で位相の進み、遅れに応じたチャージ、ディスチャージパルスを生成する。さらに、チャージ、ディスチャージパルスをチャージポンプ27を通してアナログ波形に変換することによってTE信号を生成する。なお、上述のように受光素子（信号検出用ディテクタ21）には4分割素子を用いる方法が一般的であるが、2分割素子による信号検出も行われる。

【0013】図22は図20の基本構成図の各回路位置におけるTE信号検出過程の波形図である。なお、図2

0の回路位置番号は図22の波形番号a1、b1、a2、b2、a3、b3、a4、b4、a5、b5、a6、b6、cとそれぞれ対応して表示されている。なお、説明を簡略化するため、図中、2系統の波形等化器23の出力信号a2、b2間には位相差バランスずれは無いものとして（波形a3とa4、b3とb4は等しい波形として）示している。以下、図20から図22の回路位置及び波形に従って、従来の位相差法の動作を説明する。

【0014】ここで、波形等化器23の機能について図23に従って説明する。図23は波形等化器23の周波数特性図である。波形等化器23とは、光学的な周波数帯域の低さから発生する波形間干渉を緩和して高密度化を図るための回路である。図23に示すように、ロングビットにより生成される信号帯域（f1以下）に対して、ショートビットにより生成される信号帯域（f2以上）のゲインをGbstだけ増加させ、f1、f2、Gbstを光学系の特性、生成信号の周波数帯域に合わせて最適化した構成である。ここで、コンパレータ24のスライスレベルVs1（図22中、a2及びb2を参照）はコンパレータ24の入力信号の平均値となるように設定される。

【0015】図24は波形等化器23の特性改善効果を表す波形図である。図24に示すように、IV変換器22の出力a1をそのままコンパレータ24に入力してもショートビット信号のパルス欠落が発生し、位相差情報が欠落してしまう。しかし、このようなIV変換器22の出力a1を波形等化器23に印加することで、ショートビット部の信号振幅のみをロングビット部の信号振幅相当に増幅することができ、信号欠落を防ぐことができる。こうして、IV変換器22の出力a1（b1）は波形等化器23によりショートビット部の信号振幅が改善されて出力信号a2（b2）となり、コンパレータ24により2値化されて出力信号a3（b3）となる。

【0016】次に、外部制御遅延器25について図25及び図26に従って説明する。図25は外部制御遅延器25の詳細回路図、図26は電圧制御遅延器31、32のTEBAL信号対遅延量特性図である。図25において、31、32は電圧制御遅延器、33はコンパレータ、34、35はアナログマルチプレクサ、36はインバータである。電圧制御遅延器31、32は外部から制御入力されるTEBAL信号の電圧レベルに応じて遅延量を可変できる素子であって、例えば、図26に示すように制御入力されるTEBAL信号に対して線形な遅延量となる特性を有するものである。また、コンパレータ33は制御入力されたTEBAL信号が正か負かを検出し、例えば、正であれば電圧制御遅延器31側を、負であれば電圧制御遅延器32側の遅延量をそれぞれ可変する構成である。

【0017】他方、図27はTE信号の位相バランスの

状態を表す図である。図27に示すように、サーボ制御器11(図19)はトラック誤差に対して、検出されたTE信号にオフセットが重畳している状態(位相バランスがずれている状態)であるとする。このとき、サーボ制御器11では、例えば十分に長い時定数を持つローパスフィルタ(LPF)を通してTE信号の平均値を検出し、この平均値がゼロとなるように平均値の基準電位からのずれを補正するTEBAL信号を出力する。図25の電圧制御遅延器31、37は図26のTEBAL信号対遅延量特性に基づいて遅延量を制御する。こうして、位相のアンバランスによって生じるDC成分のオフセットを電氣的に補正して光学的な位相のずれを取り除くことができ、TE信号振幅中心が信号の基準電位に一致するように調整することで、位相バランスがとれている状態にすることができる。

【0018】次に、位相比較器26(図20)について説明する。図28は位相比較器26の詳細回路図である。図28において、41、42はDフリップフロップ、43、44はインバータである。外部制御遅延器25の出力信号a4、b4をDフリップフロップ41、42のクロック端子に入力し、外部制御遅延器25の出力信号a4、b4のインバータ反転信号a6、b6をDフリップフロップ41、42のアセット端子に入力する。以上のように構成された位相比較器26は、図22に示すように、スポットが右側にある場合は先行する外部制御遅延器25の出力信号a4に基づいてDフリップフロップ41が先にセットするので位相比較器26の出力(即ちチャージバルス)a5が得られ、逆に、スポットが左側にある場合は先行する外部制御遅延器25の出力信号b4に基づいてDフリップフロップ42が先にセットするので位相比較器26の出力(即ちチャージバルス)b5が得られる。また、スポットが中央にある場合は信号a4とb4とが同時にDフリップフロップ41、42に入力され、Dフリップフロップ41、42は動作することなく出力(チャージバルス)a5、b5は共に生成されない。

【0019】次に、チャージポンプ27について説明する。図29はチャージポンプ27の詳細回路図である。図29において、51、52はアナログスイッチ、53、54は定電流源、55はコンデンサである。アナログスイッチ51、52は位相比較器26の出力信号a5、b5の電圧レベルに応じて、出力信号の電圧がHighのときスイッチオン、Lowのときスイッチオフとして動作する。そこで、定電流源53、54の電流値を所要の値に設定しておき、位相比較器26の出力信号a5、b5をチャージポンプ27に印加する。すると、位相進みの時は位相比較器26の出力信号a5がHighであるから(図22におけるスポットが右側にある時を参照)、アナログスイッチ51がオンとなり定電流源53からコンデンサ55にチャージ電流が供給される。他

方、位相遅れの時は位相比較器26の出力信号b5がHighであるから(図22におけるスポットが左側にある時を参照)、アナログスイッチ52がオンとなり定電流源54によりコンデンサ55からディスチャージ電流が放電される。こうして、コンデンサ55には充放電電流とその時間に比例する電圧が生じ(図22におけるTE信号波形cを参照)、ピットの位相差に対応したTE信号cを検出することができる。

【0020】ここで、実際の光ディスク装置は、省電力のためにCLV記録されたディスクをCAV方式で再生したり、また、アクセスタイムを短縮するために、光ディスクの回転数が規定回転数に達していない状態でもデータをリードする可変速再生の技術(広帯域PLL回路を使用して周波数成分がずれたRF信号に対し強制的にフェーズロックをかけ、データをリードする技術)が用いられる。これらの場合には再生信号の周波数成分は規定値より高い(もしくは低い)状態が存在することになる。

【0021】図30は可変速再生におけるデータ基本周波数の周波数変動を表す図である。図30において、例えば、規定周波数成分に対して $\pm 50\%$ のフェーズロックレンジを有するPLL回路を使用して可変速再生を行っている状態を表している。

【0022】期間Aは規定周波数Ftypの一定の速度でアクセス中である。いま、異なるアドレスのデータを再生するためにピックアップ3を外周側へシークさせるものとする。期間Bにおいて、光ディスク1はその合成された回転体の慣性により直ちに減速できないために、データ基本周波数を $+50\%$ まで変動させた $1.5F$ を用いてデータの再生を開始する。また期間Cにおいて、その間もスピンドルモータ2は徐々に減速を行い、減速に伴って、データ基本周波数も徐々に規定周波数Ftypに向かって低下する。

【0023】また逆に、異なるアドレスのデータを再生するためにピックアップ3を内周側へシークさせるものとする。期間Dにおいて、光ディスク1はその合成された回転体の慣性により直ちに加速できないために、データ基本周波数を -50% まで変動させた $0.5F$ を用いてデータの再生を開始する。また期間Eにおいて、その間もスピンドルモータ2は徐々に加速を行い、加速に伴って、データ基本周波数も徐々に規定周波数Ftypに向かって上昇する。

【0024】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、以下に示す問題点を有していた。まず、波形等化器はある決まった周波数成分(通常の規定回転数で得られる周波数成分)に対して機能するよう増幅度の定数を設定しているため、可変速再生に伴って周波数成分がずれた再生状態においては波形等化器としての補正機能が十分に得られず、生成される位相差トラックエ

ラー信号に正確な位相差情報が反映されない状態が発生してしまう。

【0025】また、位相差バランス調整によって設定された調整値も、規定回転時において設定されたものであるため、前述のように周波数成分がずれた状態で再生するので最適設定状態からずれた再生状態となり、位相差トラックエラー信号にオフセットが残った状態となってしまふ。

【0026】以上のように、CAV再生もしくは可変速再生のように再生信号が規定周波数からずれた状態で再生する場合においては従来の個々の回路が周波数成分のずれに対応していないので、大きな誤差を持ったトラックエラー信号が生成され、その結果、正確なトラックサーボができず、正常にデータリードができなくなる可能性がある。

【0027】さらに、ディスクの傷や、製作、記録時の不良等によってビットつぶれがあると、微妙なコンパレートの差によって、検出した位相差信号に大きな誤差が発生することがある。図31は図20の基本構成図におけるビットつぶれがある場合のTE信号検出過程の波形図である。図31において、図23に示す特性を有する図20の波形等化器23を使用してビットつぶれ領域を再生した場合の波形図を示したものである。波形等化器23の出力信号としてa2はビットつぶれ領域でも微妙にスライスレベルVs1にかかる状態、出力信号b2の方はスライスレベルVs1にかからない状態を示した波形図である。

【0028】以上のような出力信号a2、b2が入力された場合の前述の従来の技術で説明した位相差TE信号検出器9の動作は、位相比較器26の出力として、a5に示すような誤ったチャージ区間Ter1を有するチャージパルスを出力する。

【0029】その結果、大きなオフセット誤差をもったTE信号が生成されてデータリード不能区間発生につながる。ここで仮に位相比較器26の回路構成を改善して、少なくとも波形等化器23の出力a2、b2のうちどちらか一方が先にHighになった後、他方がHighになる前に先の一方がLowになった時、チャージパルス（ディスチャージパルス）にリセットをかけるように回路を追加しても、Ter2で示すエラー区間を有するチャージパルスに改善されるが、過大なオフセット誤差の生成をなくしてしまうような格段の改善効果には至らない。

【0030】本発明は上記従来の課題を解決するもので、CAV再生もしくは可変速再生時のように再生信号が規定周波数成分からずれた状態においても正確な位相差情報を抽出し、さらに、光ディスクにビットつぶれ領域が存在しても最小限の位相差出力信号に抑えることにより、信頼性の高いTE信号を再生することのできる光ディスク装置を提供することを目的とする。

【0031】

【課題を解決するための手段】この目的を達成するために本発明の光ディスク装置は、データ信号に同期をかけデータリード用クロックを生成するPLL回路と、異なる組み合わせのさまざまなデータ信号の特定周波数帯域を強調して増幅する波形等化器と、波形等化器出力を所定のレベルでスライスするコンパレータと、コンパレータ出力の位相差バランスを調整する外部制御遅延器と、外部制御遅延器出力の位相差を検出する位相比較器と、位相比較器出力によりチャージもしくはディスチャージを行なうチャージポンプとを有し、上記波形等化器は外部入力により周波数特性を可変できるものであって、PLL回路で生成したデータリード用クロックに同期してクロック周波数に比例関係となるよう周波数特性を自動可変することを特徴とするものである。

【0032】以上の構成により、可変速再生時に再生周波数の変化に応じて最適状態を保って波形等化器の定数関係を可変することができる。

【0033】

【発明の実施の形態】本発明の請求項1および2に記載の発明は、光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、受光素子の出力の和及び差を組み合わせるデータ信号を生成し、PLL回路によりデータ信号に同期してクロック信号を生成すると共に、受光素子の出力の和及び差を組み合わせる位相差トラックエラー信号を生成する光ディスク装置であって、受光素子の出力の和及び差を組み合わせる受光電流を検出電圧に変換するI/V変換手段と、検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、外部制御遅延手段の出力の位相差を検出する位相比較手段と、位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、波形等化手段は、クロック信号に同期してクロック信号の周波数と比例関係を有する外部信号により周波数特性を比例関係となるように可変する光ディスク装置およびトラックエラー信号生成方法であり、PLL回路のロック状態に同期させて周波数自動可変波形等化器の周波数特性を線形に可変することができ、規定周波数において最適に設定された波形等化器の定数関係を再生周波数の変化に応じて最適状態を保ったまま自動可変することができるという作用を有するものである。

【0034】本発明の請求項3および4に記載の発明は、光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、受光素子の出力の和及び差を組み合わせるデータ信号を生成し、PLL回路によりデータ信号に同期してクロック信号を生成すると共に、受光素子の出力の和及び差を組み合わせる位相差トラックエ

ラー信号を生成する光ディスク装置であって、受光素子の出力の和及び差を組み合わせ受光電流を検出電圧に変換するI/V変換手段と、検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、外部制御遅延手段の出力の位相差を検出する位相比較手段と、位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、外部制御遅延手段は、クロック信号に同期してクロック信号の周波数と反比例関係を有する外部信号により遅延量を反比例関係となるように可変する光ディスク装置およびトラックエラー信号生成方法であり、PLLのロック状態に同期させて電圧制御遅延器の遅延量を線形に可変でき、規定周波数時において最適に設定した位相バランス関係を再生周波数の変化に応じて最適設定状態を保ったまま自動可変することができるという作用を有するものである。

【0035】本発明の請求項5および6に記載の発明は、光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、受光素子の出力の和及び差を組み合わせデータ信号を生成し、PLL回路によりデータ信号に同期してクロック信号を生成すると共に、受光素子の出力の和及び差を組み合わせ位相差トラックエラー信号を生成する光ディスク装置であって、受光素子の出力の和及び差を組み合わせ受光電流を検出電圧に変換するI/V変換手段と、検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、外部制御遅延手段の出力の位相差を検出する位相比較手段と、位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、位相比較手段は、出力の位相差の限度値を遅延量によって設定する限度機能付き位相比較手段である光ディスク装置およびトラックエラー信号生成方法であり、位相比較器に不必要な位相差情報が出力されないようにリミット値を遅延量によって設定することができるので、光ディスクのビットつぶれ領域などにより異常なコンパレータ出力信号が発生しても最小限の位相差エラーに抑制することができるという作用を有するものである。

【0036】本発明の請求項7および8に記載の発明は、光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、受光素子の出力の和及び差を組み合わせデータ信号を生成し、PLL回路によりデータ信号に同期してクロック信号を生成すると共に、受光素子の出力の和及び差を組み合わせ位相差トラックエラー信号を生成する光ディスク装置であって、受光素子

の出力の和及び差を組み合わせ受光電流を検出電圧に変換するI/V変換手段と、検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、外部制御遅延手段の出力の位相差を検出する位相比較手段と、位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段とを有し、位相比較手段は、出力の位相差の限度値を遅延量によって設定する限度機能付き位相比較手段であって、クロック信号に同期してクロック信号の周波数と反比例関係を有する外部信号により遅延量を反比例関係となるように可変する光ディスク装置およびトラックエラー信号生成方法であり、位相比較器に不必要な位相差情報が出力されないようにリミット値を遅延量によって設定することができるので、光ディスクにビットつぶれ領域等が存在することにより異常なコンパレータ出力信号が発生しても、最小限の位相差エラーに抑えることができる。また、PLLのロック状態に同期させて前述のリミット値を線形に可変することができるので、規定周波数で再生した時に最適に設定した定数関係を再生周波数の変化に応じて最適状態を保ったまま自動可変することができるという作用を有するものである。

【0037】本発明の請求項9および10に記載の発明は、光ディスクに光ビームを照射しその反射光を複数の受光素子により受光し、受光素子の出力の和及び差を組み合わせデータ信号を生成し、PLL回路によりデータ信号に同期してクロック信号を生成すると共に、受光素子の出力の和及び差を組み合わせ位相差トラックエラー信号を生成して光ディスク回転手段とデータ信号との同期をとる光ディスク装置であって、受光素子の出力の和及び差を組み合わせ受光電流を検出電圧に変換するI/V変換手段と、検出電圧の所定の周波数帯域を他の周波数帯域よりも高い増幅度で増幅する波形等化手段と、波形等化手段で得られた出力を所定の電圧値と比較して2値化する電圧比較手段と、電圧比較手段の出力の位相差バランスを外部信号により遅延量を調整する外部制御遅延手段と、外部制御遅延手段の出力の位相差を検出する位相比較手段と、位相比較手段の出力に基づいて蓄電手段の充放電を行なう充放電手段と、装置全体を司り各手段の動作を制御する制御手段とを有し、制御手段は、PLL回路によるサーボ制御の同期がとれていない制御状態からPLL回路によりデータ信号に同期してクロック信号を生成するまでの制御状態の期間において、外部制御遅延手段と位相比較手段とは外部信号によらず予め定めた所定の設定値に基づいて回転駆動をする加速制御を有することを特徴とする光ディスク装置および光ディスク駆動方法であり、ディスク装着後の初期立ち上げ時、PLL回路が同期外れを起こした時、及び同期引き

込みを行なう直前のある一定時間に、クロックを規定周波数に相当する基準クロックとすることで、確実に周波数自動可変機能を正常動作に移行することができるという作用を有するものである。

【0038】以下、本発明の実施の形態について、図に従って説明する。

（実施の形態1）図1は本発明の実施の形態1における光ディスク装置の構成図である。図1において、1は光ディスク、2はスピンドルモータ、3はピックアップ、4はスレッドモータ、5はRF信号検出器、6はRF信号スライサ、7はPLL回路、8は復調器、10はサーボ信号検出器、11はサーボ制御器、12はモータ駆動器である。以上の各回路構成ブロックは従来の構成ブロックと同一の機能を有し、同一の名称と同一の符号を付し、説明の重複を省略する。

【0039】13は上記各構成ブロックを制御し、光ディスク装置全体の動作を司るCPU（演算処理装置）であり、14はその演算処理に伴う処理データや制御プログラムを一時的に記憶するメモリである。

【0040】109は本発明の特徴をなす回路構成ブロックの周波数自動可変位相差TE信号検出器であって、外部入力により周波数特性を可変することができピックアップ3の出力から位相差TE信号を生成する。

【0041】図2は図1の周波数自動可変位相差TE信号検出器109の実施の形態1における基本構成図を示す。図2において、21は信号検出用ディテクタ、22はIV変換器、24はコンパレータ、25は外部制御遅延器、26は位相比較器、27はチャージポンプである。以上の各回路構成要素は従来の構成要素と同一の機能を有し、同一の名称と同一の符号を付し、説明の重複を省略する。

【0042】123は、従来の技術との相違点で、かつ、本発明の特徴をなす回路構成要素の周波数自動可変波形等化器であって、PLL回路7（図1参照）の同期出力信号PLCKをクロック入力として周波数特性を自動可変し、IV変換器22の出力信号a1、b1の特定周波数帯域を強調して増幅する。

【0043】図3は周波数自動可変波形等化器123の詳細回路図、図4は図3の周波数自動可変波形等化器123のデータリード用クロック信号PLCKに対する周波数対電圧特性図である。図3において、131、132は入力された電圧レベルに応じて周波数特性を線形に（比例関係に）可変する電圧制御周波数可変波形等化器、133はPLL回路7から出力されるデータリード用クロック信号PLCKの周波数に応じて線形な電圧レベルVp1ck（図4参照）を出力するよう構成したFV変換器である。

【0044】図5は図3の周波数自動可変波形等化器123の周波数特性の可変状態を示す図である。図5において、規定周波数Ftypに対するゲインG0の周波数

f1とゲイン（G0+Gbst）の周波数f2との関係は従来の図23に示した関係と同一となる。そこで、例えば、±50%の可変速再生を行なっているときの可変状態を説明する。

【0045】先ず、PLL回路7から出力されるデータリード用クロック信号PLCKは規定周波数Ftypに対して0.5～1.5Ftypの範囲に変動する。そこで、FV変換器133は図4に示す周波数対電圧特性に基づいて、規定電圧Vtypに対して0.5～1.5Vtypの電圧範囲に変動する。従って、規定周波数Ftypに対する周波数f1とf2との関係を保って、電圧範囲0.5～1.5Vtypに対応する0.5f1、0.5f2～1.5f1、1.5f2を求めることができる。

【0046】以上のように、本発明の周波数自動可変波形等化器123を適用することにより、PLL回路7のロック状態に同期させて周波数自動可変波形等化器123の周波数特性f1、f2を線形に可変することができ、規定周波数において最適に設定された波形等化器の定数関係を再生周波数の変化に応じて最適状態を保ったまま自動可変することができる。こうして、CAV再生や可変速再生におけるデータ信号が規定周波数からずれた状態においても正確な位相差情報を抽出することが可能となる。

【0047】（実施の形態2）図6は図1の周波数自動可変位相差TE信号検出器109の実施の形態2における基本構成図を示す。図6において、21は信号検出用ディテクタ、22はIV変換器、23は波形等化器、24はコンパレータ、25は周波数自動可変外部制御遅延器、26は位相比較器、27はチャージポンプである。以上の各回路構成要素は従来の構成要素と同一の機能を有し、同一の名称と同一の符号を付し、説明の重複を省略する。

【0048】125は、従来の技術との相違点で、かつ、本発明の特徴をなす回路構成要素の周波数自動可変波形外部制御遅延器であって、サーボ制御器11（図1参照）のバランス調整信号TEBALによりコンパレータ24の出力相互間の位相差バランスを調整し、PLL回路7（図1参照）の同期出力信号PLCKをクロック入力として遅延量を自動可変する。

【0049】図7は周波数自動可変外部制御遅延器125の詳細回路図である。図7において、141、142は電圧制御遅延器、143はコンパレータ、144、145はアナログマルチプレクサ、146はアナログ割算器、147はFV変換器であって、実施の形態1の図3および図4において説明したFV変換器133と同等の機能を有する。PLL回路7（図1参照）の同期出力信号PLCKをFV変換器147に通すことにより図4に示す特性に基づいて電圧レベルVp1ckを得る。さらに、サーボ制御器11（図1参照）の出力信号の balan

ス調整信号TEBALをアナログ割算器146により電圧レベルVp1ckで割り算することで図8に示す調整値TEBAL2を生成する。図8は電圧レベルVp1ckと調整値TEBAL2との関係を表す図である。図8に示すように、調整値TEBAL2は規定周波数時の電圧レベルVp1ckの値に対して反比例関係となる。即ち、規定周波数時の電圧レベルVp1ckがVtypであるとき調整値TEBAL2はVadjとして求められる。また、同様にして電圧レベルVp1ckが1.5Vtyp(0.5Vtyp)であるとき調整値TEBAL2は0.67Vadj(2Vadj同順)として求められる。

【0050】図9は電圧制御遅延器141、142の調整値TEBAL2に対する遅延量の関係を表す図である。図9において、調整値TEBAL2に対して線形(比例関係)となるよう電圧制御遅延器141、142の遅延量DLを求めることができる。即ち、図8で求めた調整値TEBAL2から図9によりVadjに対して遅延量はDLとして求められる。また、同様にして、調整値TEBAL2が1.5Vadj(0.5Vadj)であるとき遅延量は1.5DL(0.5DL同順)として求められる。

【0051】なお、バランス調整信号TEBALはあくまで位相差を補正するためのバランス信号であって、遅延量を使用してバランスをとる回路構成では、検出信号の(ビット信号の)周波数が変わると最適バランスが崩れる状態が発生する。そこで、本発明の回路構成では、ディスク挿入後の初期立ち上げ時に、PLLロック状態かつ規定回転とみなせる状態においてTE信号のバランス調整を行ない保持しておくように制御する。従って、その後規定周波数からずれるような可変速の再生状態が発生しても、可変速後の周波数においても最適バランス状態を保つことが可能となる。

【0052】以上のように、本発明によれば、PLLのロック状態と同期させて電圧制御遅延器の遅延量DLを線形に可変でき、規定周波数時において最適に設定した位相バランス関係を再生周波数の変化に応じて最適設定状態を保ったまま自動可変することができる。従って、CAV再生を含めデータ信号が規定周波数からずれた状態の信号再生においても正確な位相差情報を抽出することが可能となる。

【0053】(実施の形態3)図10は図1の周波数自動可変位相差TE信号検出器109の実施の形態3における基本構成図である。図10において、21は信号検出用ディテクタ、22はIV変換器、23は波形等化器、24はコンパレータ、25は外部制御遅延器、27はチャージポンプである。以上の各回路構成要素は従来の構成要素と同一の機能を有し、同一の名称と同一の符号を付し、説明の重複を省略する。

【0054】126は、従来の技術との相違点で、か

つ、本発明の特徴をなす回路構成要素のリミット機能付位相比較器であって、外部制御遅延器25の出力の位相差を検出し、出力位相差のリミット値を遅延量によって設定できる。

【0055】図11はリミット機能付位相比較器126の詳細回路図である。図11において、151、152、153、154はDフリップフロップ、155、156はモノステーブルマルチバイブレータ、157、158はインバータ、159、160はNORゲートである。

【0056】図12は図10及び図11におけるTE信号検出過程の波形図である。図10、図11および図12の各波形番号a4、b4、a5、b5、a6、b6、a7、b7、a8、b8、a9、b9はそれぞれ対応する信号の波形番号で表示している。

【0057】図10から図13において、Dフリップフロップ151、153とNORゲート159、160とで構成される部分は従来の位相比較器26に相当する。これに加えて、モノステーブルマルチバイブレータ155、156とDフリップフロップ152、154とで生成されるパルスがNORゲート159、160とに供給される。

【0058】モノステーブルマルチバイブレータ155、156は外部制御遅延器25の出力信号a4、b4の立ち上がり(ポジティブゴーイングパルス)により所定のパルス幅(T1mt)の信号a6、b6を出力する。インバータ157、158で反転した信号a7、b7はDフリップフロップ152、154のクロック入力に供給され、Dフリップフロップ152、154は信号a4、b4よりもT1mt時間遅れてセットされ信号a8、b8を出力する。なお、信号a4、b4の立ち下がり(ネガティブゴーイングパルス)によりDフリップフロップ152、154はリセットされる。

【0059】こうして、Dフリップフロップ151、153は、信号a4、b4の立ち上がり(ポジティブゴーイングパルス)によりセットされ、NORゲート159、160により、信号a4、b4と信号a8、b8とのいずれか早い信号でリセットされる。従って例えば、ビットつぶれにより信号a2、b2の片方が欠けたとしてもT1mt後には信号a5、b5はリセットされることになる。従来の図31との比較において、ビットつぶれ領域があるとTer1、Ter2を超える長大なチャージパルスを生じていたのに対し、エラー区間Ter3に制限することができる。

【0060】以上の回路動作において、位相差TE信号は、位相差バランスがとれた状態において一般的に±45度程度の位相差が振幅成分としてでている。通常のトラッキングでは許容偏差(例えばCDではトラックピッチ1.6μmに対し、±0.05μm程度)内のトラッキングでは±数度程度(前述のCDでは45度×(±

0.05/0.4) = ±5.6度) しか必要としないので、不要な位相差はカットしておくことが望ましい。そこで、モノステーブルマルチバイブレータ155、156において不要となる位相差に相当する遅延量T1mtを設定しておくことにより、波形a5に示すように、エラー区間Ter3に抑えたチャージパルスを生成することができる。

【0061】そこで、前述のCDの例で遅延量T1mtを算出する。例えば、規定回転における最長ビット周波数に対して5.6度に相当する遅延量を求める。前述のCDにおける標準速で最長ビットは11T (Tとはチャネルビットで4.32MHz) であるとする、11Tにおける周波数fは196KHzであるから、一周期(つまり、電気角360度)に対する5.6度相当は $5.6/360 \times 1/196\text{KHz} = 79\text{nsec}$ と算出される。

【0062】以上のように、本発明の実施の形態3によれば、位相比較器に不必要な位相差情報が出力されないようにリミット値を遅延量によって設定することができるので、光ディスクのビットつぶれ領域などにより異常なコンパレータ出力信号が発生しても最小限の位相差エラーに抑制することができる。

【0063】(実施の形態4) 図13は図1の周波数自動可変位相差TE信号検出器109の実施の形態3における基本構成図である。図13において、21は信号検出用ディテクタ、22はIV変換器、23は波形等化器、24はコンパレータ、25は外部制御遅延器、27はチャージポンプである。以上の各回路構成要素は従来の構成要素と同一の機能を有し、同一の名称と同一の符号を付し、説明の重複を省略する。

【0064】127は、従来の技術との相違点で、かつ、本発明の特徴をなす回路構成要素の周波数自動可変リミッタ機能付位相比較器であって、外部制御遅延器25の出力の位相差を検出し、出力位相差のリミット値を遅延量によって設定でき、かつ、PLL回路7の同期出力信号PLCKの外部入力により遅延量を自動可変できる。

【0065】図14は図13の周波数自動可変リミッタ機能付位相比較器127の詳細回路図である。図14において、151、152、153、154はDフリップフロップ、157、158はインバータ、159、160はNORゲートである。これらの各回路構成要素は実施の形態3における図11の各回路構成要素と同一であり同一の符号と名称を付して説明の重複を省略する。

【0066】161、162は外部の入力電圧レベル(Vp1ck)により時定数が可変できる時定数自動可変モノステーブルマルチバイブレータである。163はFV変換器であって、実施の形態1の図3および図4において説明したFV変換器133と同等の機能を有する。PLL回路7(図1参照)の同期出力信号PLCK

をFV変換器163に通すことにより線形に比例した電圧レベルVp1ckを得る。さらに、電圧レベルVp1ckを時定数自動可変モノステーブルマルチバイブレータ161、162に供給することにより、図15に示す電圧レベルVp1ck対リミットパルス幅T1mtの関係に従ってリミットパルスを生成する。

【0067】図15は電圧レベルVp1ck対リミットパルス幅T1mtとの関係を表す図である。図15に示すように、リミットパルス幅T1mtは電圧レベルVp1ckの値に対して反比例関係となる。即ち、規定周波数時の電圧レベルVp1ckがVtypであるときリミットパルス幅T1mtとして求められる。また、同様に電圧レベルVp1ckが1.5Vtyp(0.5Vtyp)であるときリミットパルス幅T1mtは0.67Vadj(2Vadj同順)として求められる。

【0068】以上のように、本発明の実施の形態4によれば、位相比較器に不必要な位相差情報が出力されないようにリミット値を遅延量によって設定することができる。従って、光ディスクにビットつぶれ領域等が存在することにより異常なコンパレータ出力信号が発生しても、最小限の位相差エラーに抑えることができる。また、PLLのロック状態に同期させて前述のリミット値を線形に可変することができるので、規定周波数で再生した時に最適に設定した定数関係を再生周波数の変化に応じて最適状態を保ったまま自動可変することができる。その結果、CAV再生時もしくは可変速再生時等のデータ信号が規定周波数からずれた状態においても正確な位相差情報を抽出することが可能となる。

【0069】(実施の形態5) 次に、本発明の実施の形態5における光ディスク装置の制御フローを説明する。図16、図17、図18はそれぞれディスク装着後の初期立ち上げ時、外部振動等によってフォーカス外れが発生した時、及びシークエラー等によってPLL回路のロック外れが発生した時のような異常動作時に、本発明の実施の形態1、2、4に説明した光ディスク装置を確実に安定に正常動作へ導くためのフローチャートを示す。

【0070】本発明は、PLL出力を利用して周波数特性を信号周波数に応じて自動可変するので、正常動作状態では有効に機能し確実に安定に動作する。しかしながら、回路構成ブロックのどこかが異常な状態に陥ると、例えば、フォーカス外れ→PLCK異常→f1、f2設定異常→RF信号歪み→PLL誤動作→ますますPLCK異常→…というように悪循環ループに陥ってしまい、復活できない状態となってしまう。そこで、以下に説明する制御フローに示すように、PLCKの状態がいずれの状態においても、異常(暴走)状態→自走状態→ラフロック状態→ロック状態→…というシーケンスを必ず通過することにより、関係する回路構成ブロックを正常に機能させることができるため、悪循環に陥ることを

回避することが可能となる。ここで、自走状態とは、以下のシーケンスに詳述するように、PLLロックのサーボ状態から外れ、設定値に対してあたかもオープンループ制御の状態で開催起動制御する状態を表す。

【0071】(1) ディスク装着後の初期立ち上げ時に正常動作へ導くために

先ず図1及び図16において、スピンドルモータ2を起動するためにサーボ制御器11のオフセットを調整し起動初期値を設定する(S1)。続いて、ピックアップ3の半導体レーザをオンして(S2)、モータ駆動器12によりスピンドルモータ2を起動し(S3)、ピックアップ3の検出信号によりフォーカス引き込みをして(S4)、スピンドルモータ2のラフCLV制御を行う(S5)。

【0072】このとき、ステップ4まではPLL回路7はPLLロックしていないので同期出力信号PLCKは出力されず自走状態で起動し、ステップ5に至ってラフロック状態となる。他方、サーボ制御器11はトラッキングサーボの同期がとれていないのでバランス調整信号TEBALを出力せず、未設定状態が継続する。

【0073】続いて、ステップ5によりスピンドルモータ2の回転数が十分な速度に加速されると、PLL回路7はPLLロックしてロック状態となり、同期出力信号PLCKを出力すると共に、スピンドルモータ2のCLV制御を行う(S6)。CLV制御になると、サーボ制御器11はトラックバランス調整を行い(S7)、バランス調整信号TEBALを出力し、設定状態となる。

【0074】次に、トラック引き込みを行い(S8)、トラッキングサーボの同期がとれる。続いて、フォーカスバランス調整(S9)、フォーカスゲイン調整(S10)を行いフォーカスサーボを開始する。

【0075】さらに、トラッキングサーボのゲインを調整し(S11)、TOC領域へアクセスを開始し(S12)、TOCリード(S13)を行う。こうして、次の処理に移行する。

【0076】(2) フォーカス外れが発生した時に正常動作へ導くために

先ず図1及び図17において、通常の再生動作が継続継続している状態で、例えば光ディスク装置に他のものがぶつかった場合のように、外部振動等によるフォーカス外れが発生したとする(S21)。この時、それまでPLLロック状態であったPLL回路7はPLLロックから外れ、暴走状態となる。他方、サーボ制御器11は、トラッキングサーボが外れるが立ち上げ時の設定状態が継続し、バランス調整信号TEBALの出力が継続する。

【0077】サーボ信号検出器10はフォーカス外れを検出し(S22)、CPU13はモータ駆動器12にスピンドルモータ2、スレッドモータ4の停止を制御し、両モータは停止する(S23)。

【0078】CPU13は、ロック状態から外れたPLL回路7にリセットをかけて(S24)、モータ駆動器12によりスピンドルモータ3を起動し(S25)、ピックアップ3の検出信号によりフォーカス再引き込みをして(S26)、スピンドルモータ2のラフCLV制御を行う(S27)。このとき、ステップ24からステップ26までは、PLL回路7はPLLロックしていないので同期出力信号PLCKは出力されず自走状態で起動し、ステップ27に至ってラフロック状態となる。

【0079】続いて、スピンドルモータ2の回転数が十分な速度に加速されると、PLL回路7はPLLロックしてロック状態となり、スピンドルモータ2のCLV制御を行う(S28)。CLV制御になると、トラック引き込みを行って(S29)、トラッキングサーボの同期を継続する。こうして、次の処理に移行する。

【0080】(3) PLL回路のロック外れが発生した時に正常動作へ導くために

先ず図1及び図18において、通常の再生動作中のトラックジャンプ時に、例えばスレッドモータ4に障害が起きた場合のように、シークエラー等が発生しロック外れに至ったとする(S31)。この時、それまでPLLロック状態であったPLL回路7はPLLロックから外れ、暴走状態となる。他方、サーボ制御器11は、トラッキングサーボが外れるにはが立ち上げ時の設定状態が継続し、バランス調整信号TEBALの出力が継続する。

【0081】サーボ信号検出器10はPLLロック外れを検出し(S32)、CPU13はモータ駆動器12にスレッドモータ4の停止を制御し、スレッドモータ4は停止する(S33)。

【0082】CPU13は、ロック状態から外れたPLL回路7にリセットをかけて(S34)、スピンドルモータ2のラフCLV制御を行う(S35)。このとき、ステップ34からステップ35までは、PLL回路7はPLLロックしていないので同期出力信号PLCKは出力されず自走状態で加速し、ステップ35に至ってラフロック状態となる。

【0083】続いて、スピンドルモータ2の回転数が十分な速度に加速されると、PLL回路7はPLLロックしてロック状態となり、スピンドルモータ2のCLV制御を行う(S36)。CLV制御になると、トラック引き込みを行って(S37)、トラッキングサーボの同期を継続する。こうして、次の処理に移行する。

【0084】以上のように、本発明によれば、ディスク装着後の初期立ち上げ時、PLL回路が同期外れを起こした時、及び同期引き込みを行なう直前のある一定時間に、クロックを規定周波数に相当する基準クロックとすることで、確実に周波数自動可変機能を正常動作に移行することができる。

【0085】

【発明の効果】以上のように本発明によれば、CAV再生もしくは可変速再生時等の再生信号が規定周波数成分からずれた状態においても正確な位相差情報を抽出し、さらに、ディスクにビットつぶれ領域が存在しても最小限の位相差エラーで抑えることができ、信頼性の高い位相差トラックエラー信号再生を可能とする優れた光ディスク装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態1における光ディスク装置の構成図

【図2】図1の周波数自動可変位相差TE信号検出器の実施の形態1における基本構成図

【図3】周波数自動可変波形等化器の詳細回路図

【図4】図3の周波数自動可変波形等化器のデータリード用クロック信号に対する周波数対電圧特性図

【図5】図3の周波数自動可変波形等化器の周波数特性の可変状態を示す図

【図6】図1の周波数自動可変位相差TE信号検出器の実施の形態2における基本構成図

【図7】周波数自動可変外部制御遅延器の詳細回路図

【図8】電圧レベルV_{plck}と調整値TEBAL2との関係を表す図

【図9】電圧制御遅延器の調整値TEBAL2に対する遅延量の関係を表す図

【図10】図1の周波数自動可変位相差TE信号検出器の実施の形態3における基本構成図

【図11】リミット機能付位相比較器の詳細回路図

【図12】図10及び図11におけるTE信号検出過程の波形図

【図13】図1の周波数自動可変位相差TE信号検出器の実施の形態3における基本構成図

【図14】図13の周波数自動可変リミット機能付位相比較器の詳細回路図

【図15】電圧レベルV_{plck}対リミットパルス幅T_{lmt}との関係を表す図

【図16】ディスク装着後の初期立ち上げ時に正常動作へ導くためのフローチャート

【図17】フォーカス外れが発生した時に正常動作へ導くためのフローチャート

【図18】PLL回路のロック外れが発生した時に正常動作へ導くためのフローチャート

【図19】従来の光ディスク装置の構成図

【図20】図19の位相差TE信号検出器の基本構成図

【図21】ビットとスポットとレンズ面の受光強度分布を表す図

【図22】図20の基本構成図の各回路位置におけるTE信号検出過程の波形図

【図23】波形等化器の周波数特性図

【図24】波形等化器の特性改善効果を表す波形図

【図25】外部制御遅延器の詳細回路図

【図26】電圧制御遅延器のTEBAL信号対遅延量特性図

【図27】TE信号の位相バランスの状態を表す図

【図28】位相比較器の詳細回路図

【図29】チャージポンプの詳細回路図

【図30】可変速再生におけるデータ基本周波数の周波数変動を表す図

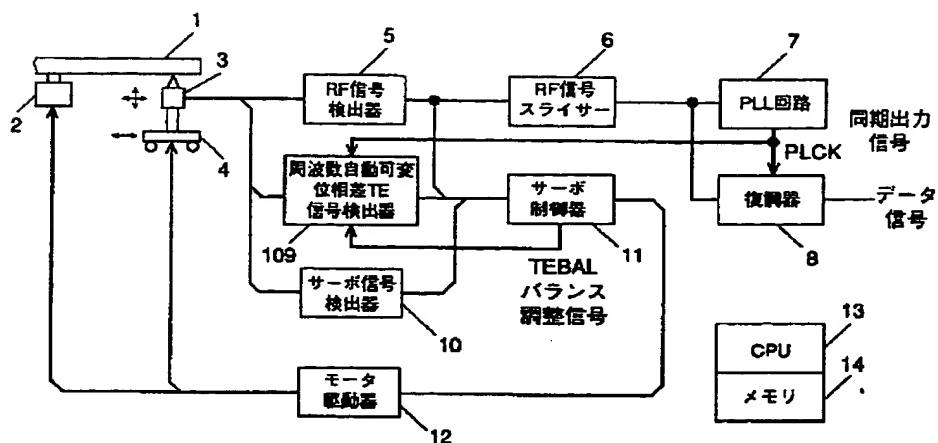
【図31】図20の基本構成図におけるビットつぶれがある場合のTE信号検出過程の波形図

【符号の説明】

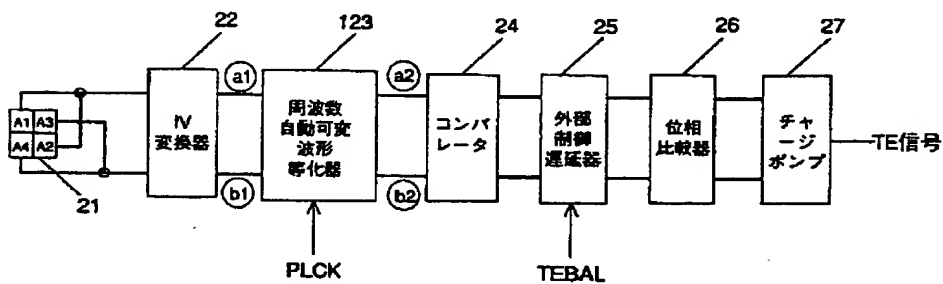
- 1 光ディスク
- 2 スピンドルモータ
- 3 ビックアップ
- 4 スレッドモータ
- 5 RF信号検出器
- 6 RF信号スライサー
- 7 PLL回路
- 8 復調器
- 9 位相差TE信号検出器
- 10 サーボ信号検出器
- 11 サーボ制御器
- 12 モータ駆動器
- 13 CPU
- 14 メモリ
- 21 信号検出用ディテクタ
- 22 IV変換器
- 23 波形等化器
- 24、33、143 コンパレータ
- 25 外部制御遅延器
- 26 位相比較器
- 27 チャージポンプ
- 31、32、141、142 電圧制御遅延器
- 34、35、144、145 アナログマルチプレクサ
- 36、43、44、148、157、158 インバータ
- 41、42、151、152、153、154 Dフリップフロップ
- 51、52 アナログスイッチ
- 53、54 定電流源
- 55 コンデンサ
- 109 周波数自動可変位相差TE信号検出器
- 123 周波数自動可変波形等化器
- 125 周波数自動可変外部制御遅延器
- 126 リミット機能付位相比較器
- 127 周波数自動可変リミット機能付位相比較器
- 131、132 電圧制御周波数可変波形等化器
- 133、147、163 FV変換器
- 146 アナログ割算器
- 155、156 モノステーブルマルチバイブレータ
- 159、160 NORゲート

161、162 時定数自動可変モノステーブルマルチ バイブレータ

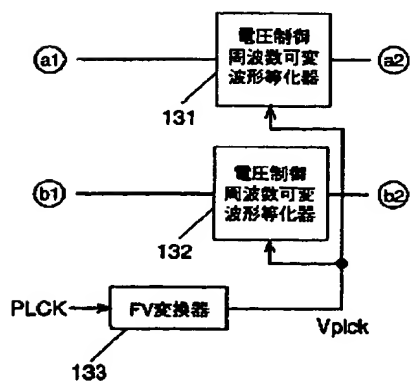
【図1】



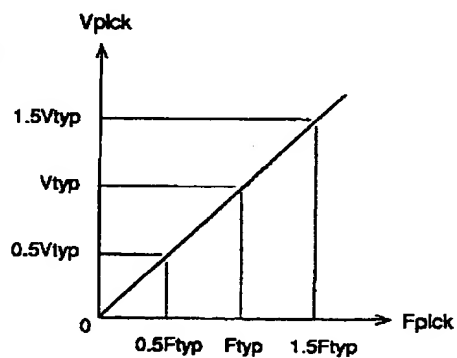
【図2】



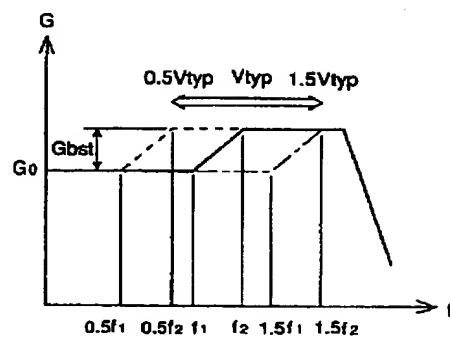
【図3】



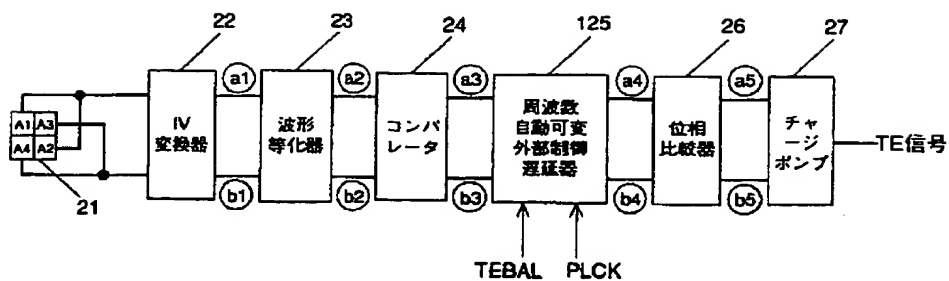
【図4】



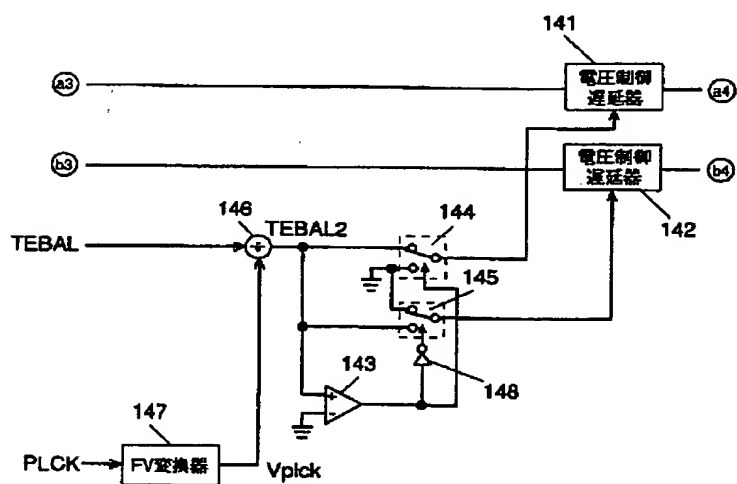
【図5】



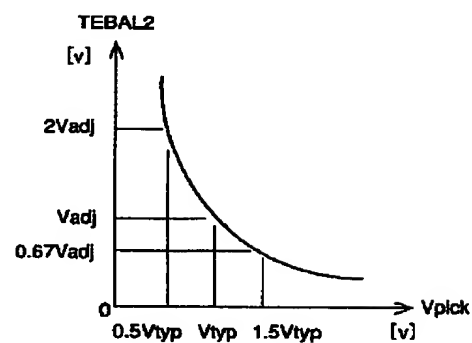
【図6】



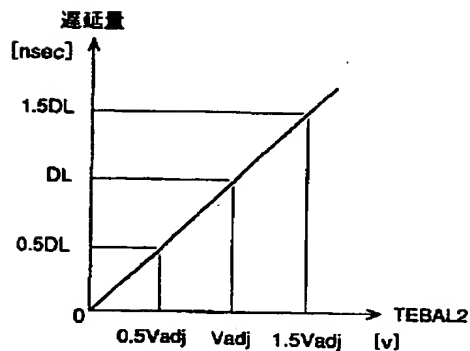
【図7】



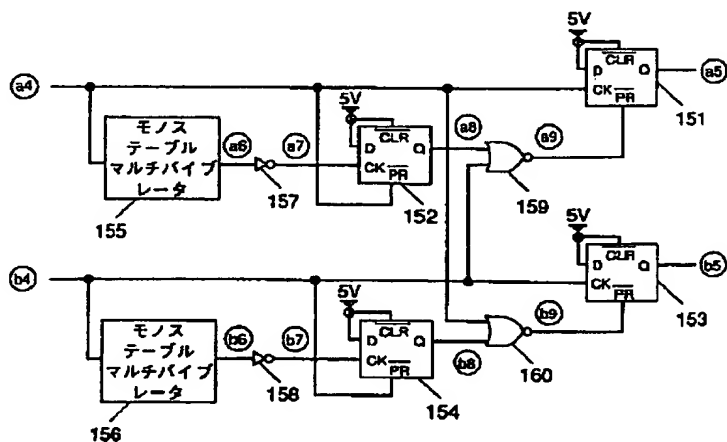
【図8】



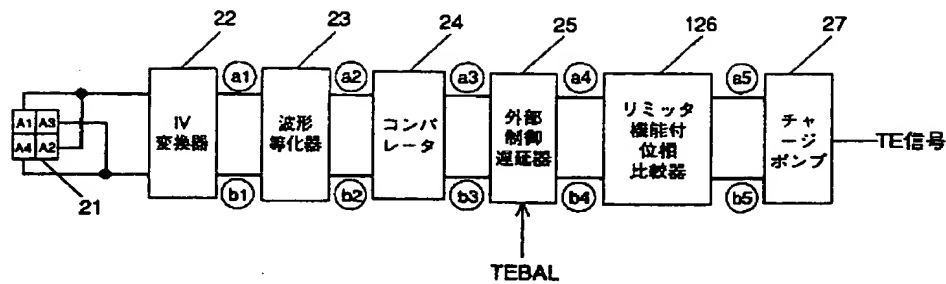
【図9】



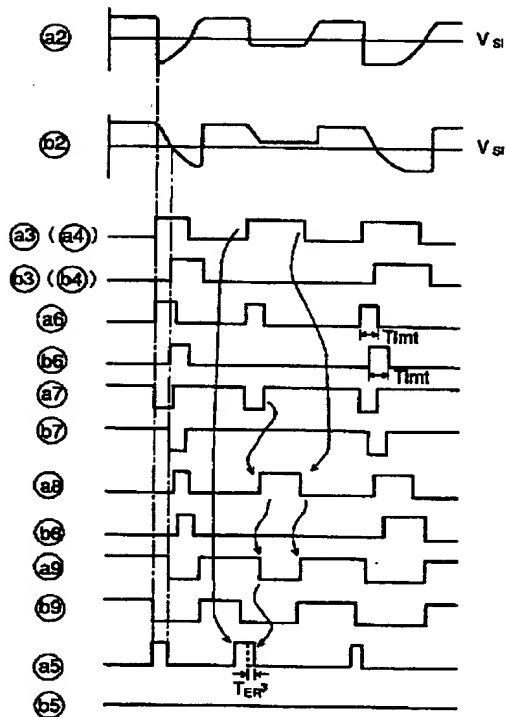
【図11】



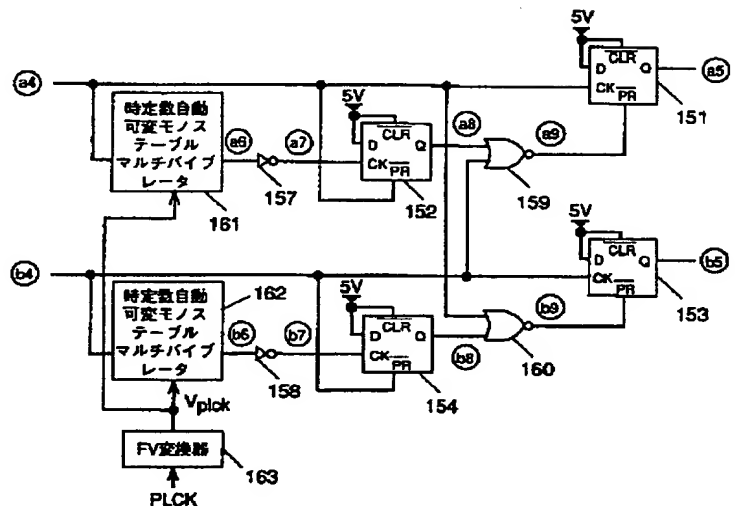
【図10】



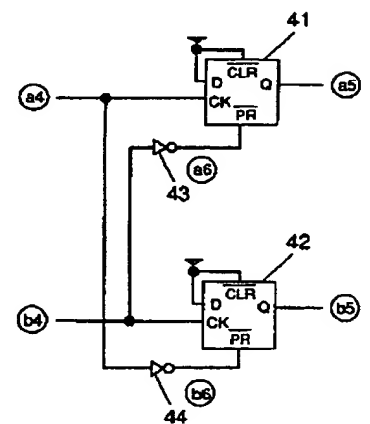
【図12】



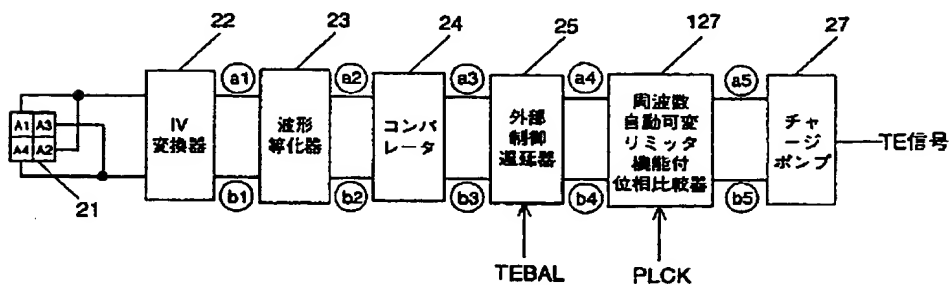
【図14】



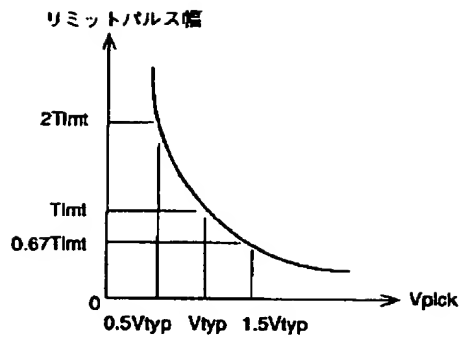
【図28】



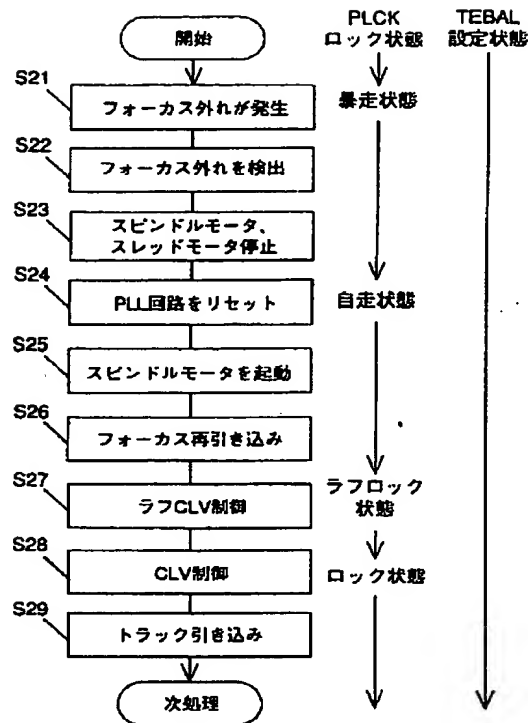
【図13】



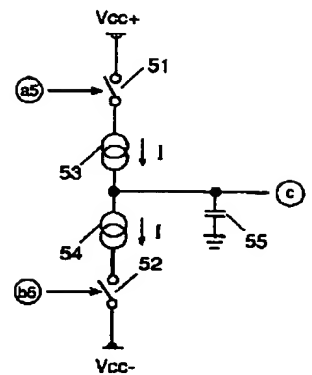
【図15】



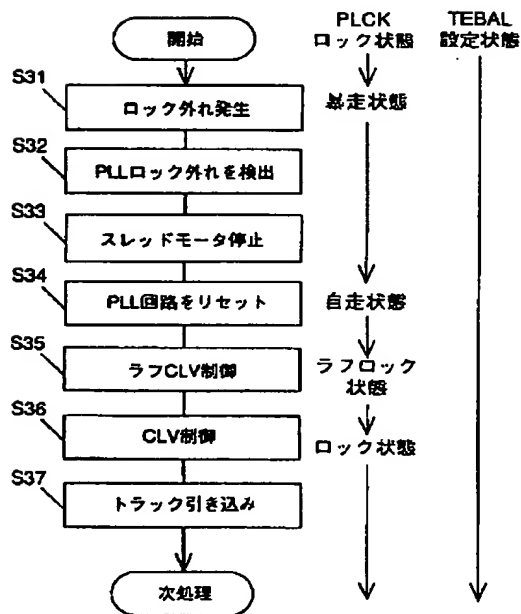
【図17】



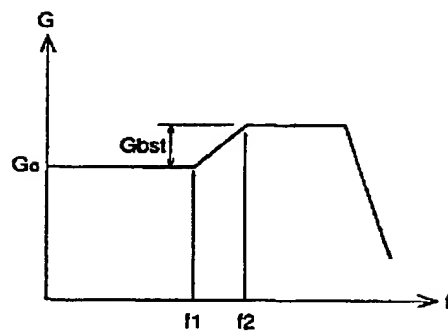
【図29】



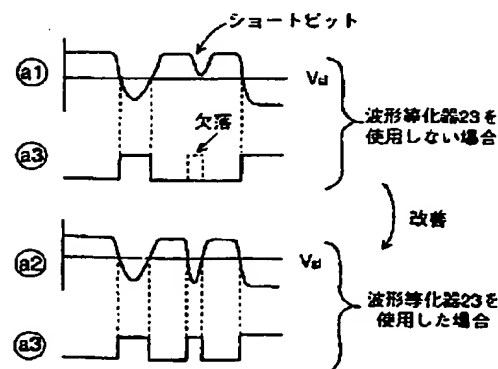
【図18】



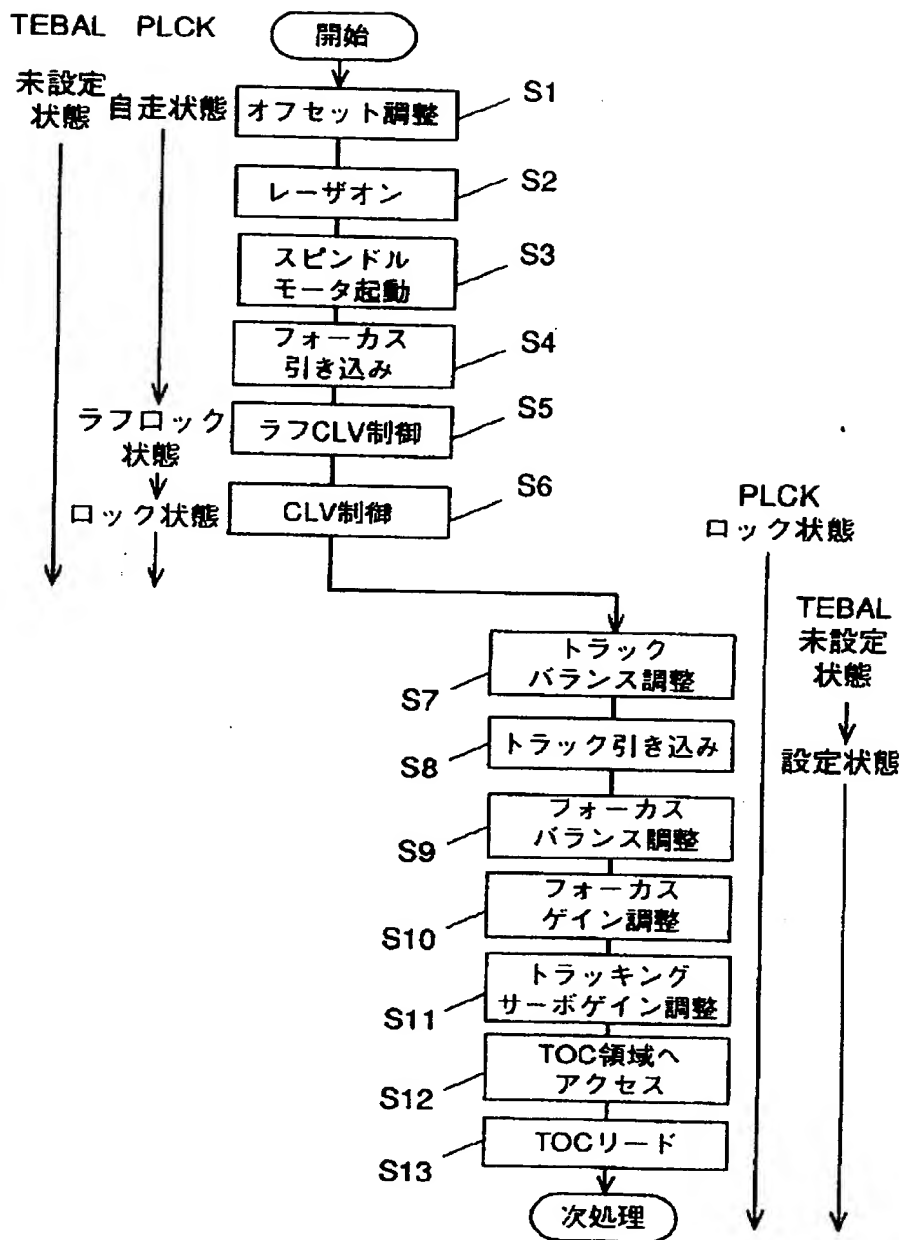
【図23】



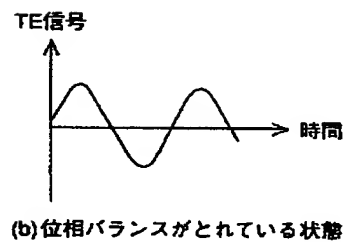
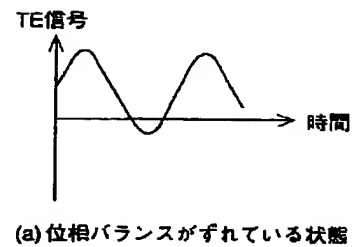
【図24】



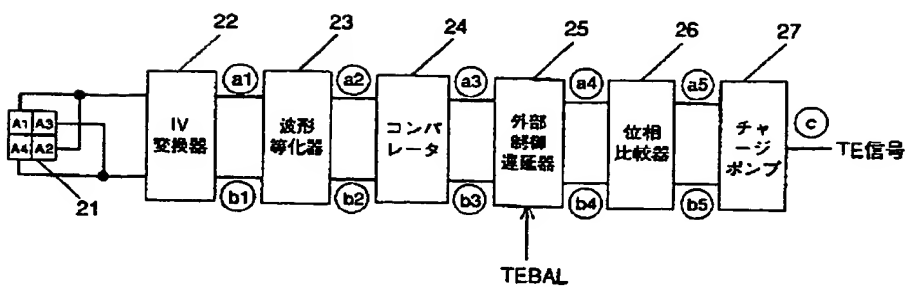
【図16】



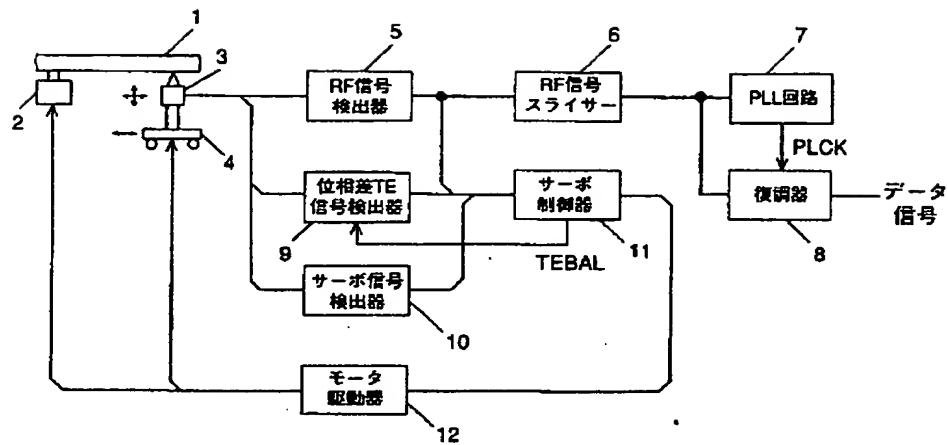
【図27】



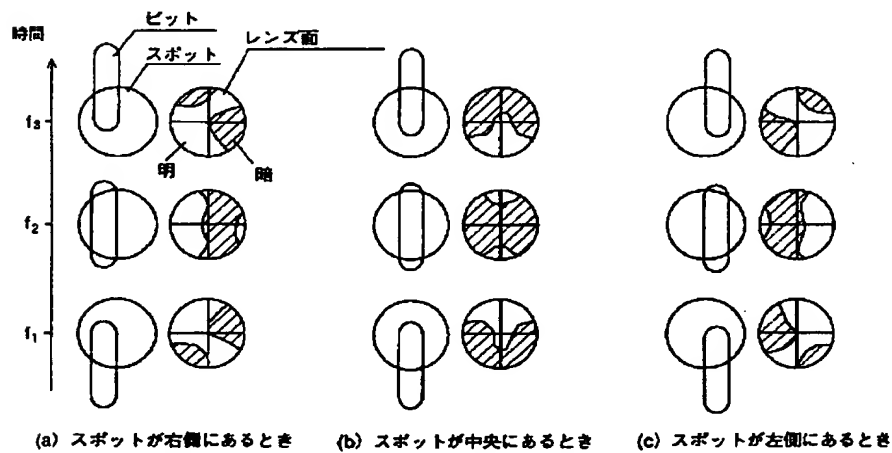
【図20】



【図19】



【図21】



【図22】

